

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-134746

(43)Date of publication of application : 17.06.1987

(51)Int.Cl. G06F 13/26
G06F 15/16

(21)Application number : 60-274355

(71)Applicant : NEC CORP

(22)Date of filing : 07.12.1985

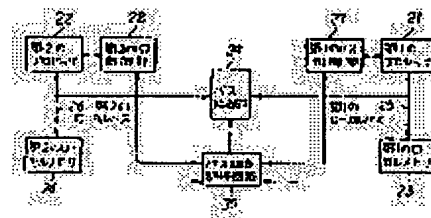
(72)Inventor : UEDA CHIAKI

(54) BUS COUPLING ADJUSTING CIRCUIT

(57)Abstract:

PURPOSE: To eliminate a load of a program by providing a function for determining a priority on a bus coupling adjusting circuit, making a request person of a lower priority turn off an output to this own local bus, when a request of a mutual use has collided, and processing a request of a higher priority first.

CONSTITUTION: When the first processor 21 has tried to operate a local memory 24 of the second processor 22, when an operation request of the second from the first processor 21 is received, a bus coupling adjusting circuit 30 outputs a request for using a bus to a bus control part 28 of the second processor 22 side. Also, when an operation request of the first local memory 23 is generated from the second processor 22, the bus coupling adjusting circuit 30 receives the requests from both the processors 21, 22, recognizes a request of a higher priority degree by a decision of an internal priority circuit, and makes a request person having a lower priority degree output an 'output OFF request' to his own local bus. The request person who has received the 'output OFF request' turns off an output to his own local bus, and holds the present state as it is.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-134746

⑤ Int.Cl.⁴

G 06 F 13/26
15/16

識別記号

3 2 0

庁内整理番号

7165-5B
2116-5B

④ 公開 昭和62年(1987)6月17日

審査請求 有 発明の数 1 (全4頁)

⑬ 発明の名称 バス結合調停回路

⑭ 特 願 昭60-274355

⑮ 出 願 昭60(1985)12月7日

⑯ 発 明 者 上 田 千 秋 東京都港区芝5丁目33番1号 日本電気株式会社内

⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑱ 代 理 人 弁理士 芦 田 坦 外2名

明 細 書

1. 発明の名称

バス結合調停回路

2. 特許請求の範囲

1. 複数のプロセッサと、各プロセッサ毎の双方向ローカルバスと、各ローカルバスを相互に結合するバス結合部を有するマルチプロセッサシステムにおいて、相互のローカルバスを使用する為に結合された互いのローカルバスの管理部へバス使用の要求と使用権受理を行う手段と、相互のローカルバス使用要求の競合時これを調停する手段と、調停の結果バス使用を遅らすべき側のローカルバスの要求者に対し、ローカルバスへの出力を中断させる手段とを有することを特徴とするバス結合調停回路。

3. 発明の詳細な説明

(産業上の利用分野)

複数のプロセッサとそれに接続される各プロセッサが管理するプロセッサ毎の双方向ローカルバスとのバス結合に関し、特にバス結合部の調停回路に関する。

[従来の技術]

第5図は第1及び第2のプロセッサ1、2と、各プロセッサ毎の第1及び第2のローカルメモリ3、4と、各プロセッサ毎の双方向第1及び第2のローカルバス5、6と、これらのバスを結合するバス結合部7と、各プロセッサの指示によりローカルバスの使用権を制御する第1及び第2のバス制御部8、9を持つ従来のマルチプロセッサシステムの構成の一例を示す図である。第5図のマルチプロセッサシステムでは、他のプロセッサのメモリを操作する時例えば第1のプロセッサ1が第2のローカルメモリ4を操作する時、第1のプロセッサ1は自分のローカルバス5を確保し、バス結合部7を介して第2のプロセッサ2のローカルバス6の使用権を確保する様第2のプロセッサ2のバス制御部9に要求を行う。バス制御部9

は第2のプロセッサ2に対し、プロセッサの単位処理が終った時第2のローカルバス6の使用権を開放し、第1のプロセッサ1に第2のローカルバス6の使用権を渡す様に要求してローカルバス6の使用権制御を行う。第1のプロセッサ1は第2のローカルバス6の使用権を得て第2のローカルメモリ4の操作を行う。この様にして第1のプロセッサ1は他の第2のプロセッサのローカルメモリ4を操作することが出来る。

しかし、上記の様な他のプロセッサのローカルメモリを操作する動作が各プロセッサで同時に起きた時、例えば第1のプロセッサ1が第2のローカルメモリ4を、第2のプロセッサ2が第1のローカルメモリ3を操作する動作が同時に起きると、第1のプロセッサ1は自分のローカルバス5を確保し、又第2のプロセッサ2も自分のローカルバス6を確保し、相互に相手のローカルバスを確保しようとする。この様な状況では各プロセッサが単位処理を終了しない為、バス制御部8, 9はプロセッサにバスの使用権開放を要求しても開放出

バス使用の要求と使用権受理を行う手段と、相互のローカルバス使用要求の競合時これを調停する手段と、調停の結果バス使用を遅らせるべき側のローカルバスの要求者に対し、ローカルバスへの出力を中断させる手段とを有することを特徴とするバス結合調停回路である。

〔実施例〕

第1図は本発明の一実施例であるバス結合調停回路の構成を示す図であり、11と12は各プロセッサから相手側のローカルバスへの動作指示受け付けと、相手側ローカルバスへのバス使用要求と、使用権受理の制御とを行う第1及び第2のバス要求処理部である。又13はバス結合部の制御と相互のバス操作競合時の調停を行うバス制御部であり、14と15はバス制御部13で調停された結果バス使用を遅らせる側へのバス出力中断の制御出力を行う第1及び第2のバス出力制御部である。

第2図は本発明のバス調停制御回路を用いたマルチプロセッサシステムの一構成例を示す図であ

らず、相互に相手ローカルバスを確保しようとしてロックしてしまう。

〔発明が解決しようとする問題点〕

この為、従来は、相互のローカルバスを使用する為に相互のプロセッサで識別制御出来る状態指示フリップフロップ(F/F)10を持ち、相手のローカルバスを使用する時はこのF/Fを調べ、相手が自分のローカルバス使用を要求していない時はこのF/Fに使用中を表示し、相手バスを使用することにより相互のローカルバス使用の衝突を防いでいた。従って従来の装置フリップフロップなどによりバス相互使用の制御を行う必要があり、このためマイクロプロセッサのプログラムが非常に複雑になるという欠点があった。

〔問題点を解決するための手段〕

本発明は複数のプロセッサと、各プロセッサ毎の双方向ローカルバスと、各ローカルバスを相互に結合するバス結合部を有するマルチプロセッサシステムにおいて、相互のローカルバスを使用する為に結合された互いのローカルバスの管理部へ

る。21, 22は第1及び第2のマイクロプロセッサ(以下第1及び第2のプロセッサと称す。), 23, 24はプロセッサ毎の第1及び第2のローカルメモリ、25, 26はプロセッサ毎の第1及び第2のローカルバス、27, 28はローカルバス毎の第1及び第2のバス制御部、29は各ローカルバスを制御する為のバス結合部、30は各プロセッサが相互にローカルバスの使用権を得る為に本発明を実施したバス結合調停回路である。

各プロセッサのローカルバスは、データ転送時の制御タイミングを示す第3図に示すように、バスの要求者がバスを介してバス上の制御部にデータ転送を行う時、要求者からの“動作指示”と制御部からの“動作完了”で、1回のデータ転送を行う非同期バスである。

第1のプロセッサ21が第2のプロセッサ22のローカルメモリ24を操作しようとした時、バス結合調停回路30は第1のプロセッサ21からの第2ローカルメモリ24操作要求を受けると、第2のプロセッサ22側のバス制御部28へバス

使用の要求を出す。又同時に第2のプロセッサ22側から同様な要求がないか調べる。

第2のプロセッサ22側から同様な要求が生じていない時、第1のバス制御部27は第2のバス制御部28からの使用許可を待ち、許可受付け後第1のプロセッサのローカルバス25の拡張バスとして第2のローカルバス26を動作させる。第2のローカルメモリ24はローカルバス26を通し第1のプロセッサ21からの“動作指示”を受け付け、“動作完了”を第1のプロセッサ21に送る。第1のプロセッサ21は第2のマイクロメモリ24からの“動作完了”を受けると、バス結合調停回路30を通して得た第2のローカルバス26の使用権を開放する。

前記の状態の時さらに第2のプロセッサ22から第1のローカルメモリ23の操作要求が生じた時、バス結合調停回路30は両プロセッサ21、22からの要求を受け、内部の優先回路(図示せず)の判定により優先度の高い方の要求を認め、優先度の低い方の要求者に自分のローカルバスへ

“動作完了”が送られ、(IV)プロセッサ21からの要求が完了したことにより“出力OFF要求”が解除され、(V)プロセッサ22からローカルメモリ23へ“動作指示”と“動作完了”を送る。

なお以上の説明においては、プロセッサの数を2つの場合について説明したが、3^つ又はそれ以上にしても、それに応じてローカルメモリ、ローカルバス、バス制御回路の数を増やし、優先順位の決定を多くのものについて行うことができるようにすれば、同じように処理し得ることはいうまでもない。

〔発明の効果〕

以上説明した様に、本発明はバス結合調停回路に優先順位を決める機能を設け、相互使用の要求が衝突した時に優先順位の低い方の要求者に対し自分のローカルバスへの出力をOFFにさせ、優先順位の高い方の要求を先に処理することにより、従来行われていたフリップフロップ等によるバス相互使用の制御を行う必要がなくなり、プログラムの負荷を無くすことができる効果がある。

の“出力OFF要求”を出させる。“出力OFF要求”を受けた要求者は、自分のローカルバスへの出力をOFFにし、現在の状態のまま保持する。

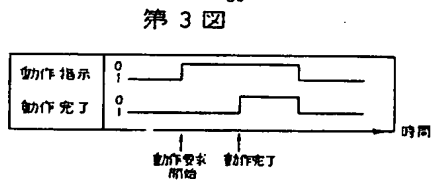
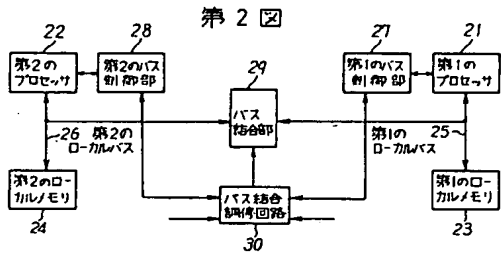
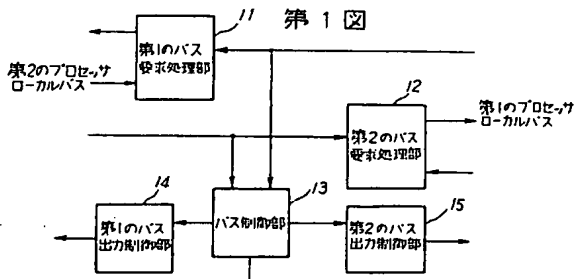
第1のプロセッサ21からの要求と第2のプロセッサ22からの要求が重なった時、バス結合調停回路30内部の優先順位が第1のプロセッサ21の方が高いとすると、競合時の動作を示す第4図に示す様な順で制御される。この第4図の(a)は競合時の制御タイミングを示し、同じく(b)は第2図の回路の一部に(a)で示す順序(Ⅰ),(Ⅱ),…(Ⅴ)に従って信号がどう流れるかを示す図である。以下(Ⅰ),(Ⅱ),…の順序に従って動作の流れの形を説明すると、(Ⅰ)第1のプロセッサ21からの第2のローカルメモリ24への操作要求と、第2のプロセッサ22から第1のローカルメモリ24への操作要求とが衝突し、バス結合調停回路30による優先順位の決定が行われ、(Ⅱ)バス結合調停回路30より第2のプロセッサ22のローカルバス26への“出力OFF要求”が出力され、(Ⅲ)プロセッサ21からローカルメモリ24へ“動作指示”と

4. 図面の簡単な説明

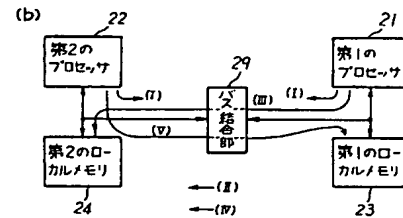
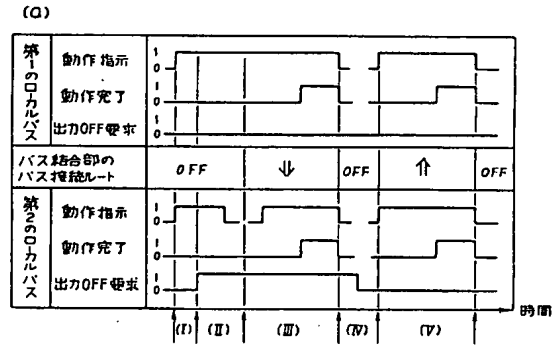
第1図は本発明を実施したバス結合調停回路のブロック図、第2図は前記回路を用いたマルチプロセッサシステムのブロック図、第3図はローカルバスでデータ転送を行う時の制御タイミング図、第4図は第2図のブロック図における競合時の動作図、第5図は従来のマルチプロセッサシステムのブロック図である。

記号の説明：11, 12は第1及び第2のバス要求処理部、13はバス制御部、14, 15は第1及び第2のバス出力制御部、21, 22は第1及び第2のプロセッサ、23及び24は第1及び第2のローカルメモリ、25及び26は第1及び第2のローカルバス、27, 28は第1及び第2のバス制御部、29はバス結合部、30はバス調停回路をそれぞれあらわしている。

代理人 (7783) 弁理士 池田 憲 保



第4図



第5図

